

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-275032

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

G11B 20/18
G11B 20/18
G11B 7/00
G11B 20/10
G11B 20/12
G11B 27/28

(21)Application number : 05-065147

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.03.1993

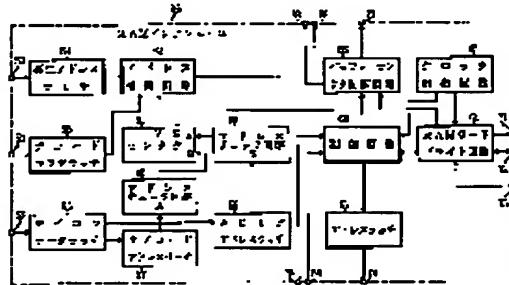
(72)Inventor : MATSUI SHIGERU

(54) DIGITAL DATA REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To interpolate an address destination signal when this signal is wrong in the case of reproducing a digital information signal.

CONSTITUTION: This device is provided with an error detecting means 55, evaluation means 58 and 60, 61, address interpolating circuit 62, and extracting means 59 or 57 for extracting an absolute destination signal contained in a disk or a sub address destination signal in additional information added to the digital information signal reproduced from the disk. When the error detecting means 55 decides the address destination signal in the digital information signal is wrong, the absolute destination signal or sub address destination signal extracted by the extracting means 59 or 57 is evaluated by the evaluating means 58, 60 and 61 and corresponding to the evaluated result, the address destination signal is interpolated by the address interpolating means 62. Thus, the digital information signal is prevented from being omitted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-275032

(43)公開日 平成6年(1994)9月30日

(51) Int.Cl.⁵
G 1 1 B 20/18

7/00
20/10
20/12

識別記号 庁内整理番号
 301 Z 9074-5D
 R 9074-5D
 T 7522-5D
 B 7736-5D
 9295-5D

F U

技術表示箇所

審査請求 未請求 請求項の数 6 OL (全 11 頁) 最終頁に続く

(21)出願番号 特願平5-65147

(22)出願日 平成5年(1993)3月24日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 松井 清

長岡京市馬場園所1番地
社電子商品開発研究所内

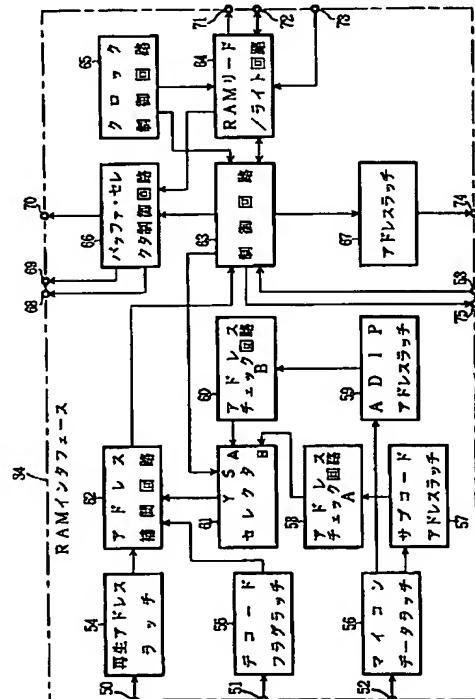
(74)代理人 弁理士 高田 守

(54)【発明の名称】 ディジタルデータ再生装置

(57) 【要約】

【目的】 デジタル情報信号の再生において、アドレス番地信号が誤っているときこれを補間することを目的とする。

【構成】 誤り検出手段 55 と評価手段 58, 60, 61 とアドレス補間手段 62 と、ディスク 9 に含まれる絶対番地信号または、ディスク 9 より再生されたデジタル情報信号に付加された付加情報中のサブアドレス番地信号を抽出する抽出手段 59 または 57 を備え、デジタル情報信号中のアドレス番地信号が誤り検出手段によって誤りと判定された場合、抽出手段 59 または 57 によって抽出された絶対番地信号またはサブアドレス番地信号を評価手段 58, 60, 61 で評価し、その評価結果に応じてアドレス補間手段 62 でアドレス番地信号を補間するようにしたのでデジタル情報信号の欠落を防止することができる。



【特許請求の範囲】

【請求項 1】 ディジタルオーディオ信号などの複数個のディジタル情報信号をディスク状の記録媒体より再生する再生装置であって、前記記録媒体に形成されている案内溝より得られるウォブリング信号から当該記録媒体の絶対番地信号を抽出する抽出手段と、この抽出手段より得られた絶対番地信号の連続性を評価する評価手段と、前記記録媒体より再生されたアドレス番地信号を含むディジタル情報信号の誤りを検出する誤り検出手段と、この誤り検出手段によって前記アドレス番地信号が誤りであると判定された場合、前記評価手段の評価結果に応じて前記アドレス番地信号を補間するアドレス補間手段とを備えたことを特徴とするディジタルデータ再生装置。

【請求項 2】 ディジタルオーディオ信号などの複数個のディジタル情報信号をディスク状の記録媒体より再生する装置であって、前記ディジタル情報信号にはアドレス番地信号が含まれ、また前記ディジタル情報信号に対して付加された付加情報には上記アドレス番地信号に対応するサブアドレス番地信号が含まれて記録された前記記録媒体から前記サブアドレス番地信号を抽出する抽出手段と、この抽出手段より得られたサブアドレス番地信号の連続性を評価する評価手段と、前記記録媒体から再生された前記アドレス番地信号を含むディジタル情報信号の誤りを検出する誤り検出手段と、この誤り検出手段によって前記アドレス番地信号が誤りであると判定された場合、前記評価手段の評価結果に応じて前記アドレス番地信号を補間するアドレス補間手段とを備えたことを特徴とするディジタルデータ再生装置。

【請求項 3】 アドレス補間手段に、絶対番地信号の評価手段の評価結果と前記サブアドレス番地信号の評価手段の評価結果を選択する選択手段を設けるとともに、前記絶対番地信号が記録された記録媒体か前記サブアドレス番地信号が記録された記録媒体かを判別する判別手段を設け、この判別手段の判別結果に応じて前記選択手段に選択させるように構成したことを特徴とする請求項 1 または請求項 2 に記載のディジタルデータ再生装置。

【請求項 4】 アドレス補間手段に、誤りのあるアドレス番地信号を補間する際に誤りの無い直前または直後のアドレス番地信号に所定値を加えて補間アドレスを生成する生成手段を備えたことを特徴とする請求項 1 または請求項 2 に記載のディジタルデータ再生装置。

【請求項 5】 ディジタルオーディオ信号などの複数個のアドレス番地信号を含むディジタル情報信号をディスク状の記録媒体より複数回再生する装置であって、前記アドレス番地信号を含むディジタル情報信号の誤りを検出する誤り検出手段と、この誤り検出手段によって誤りと判定された前記アドレス番地信号を補間するアドレス補間手段と、このアドレス補間手段によって前記アドレス番地信号が補間されたことを示す補間信号を記憶する

第 1 の記憶手段と、前記誤り検出手段の誤り検出によって誤りと判定された前記ディジタル情報信号に対応する誤りフラグを記憶する第 2 の記憶手段と、前記ディジタル情報信号を記憶する第 3 の記憶手段と、前記補間信号と前記誤りフラグと前記第 1 および第 2 の記憶手段の内容とから前記第 3 の記憶手段の内容を書き換える制御手段とを備えたことを特徴とするディジタルデータ再生装置。

【請求項 6】 制御手段は第 1 の記憶手段内のアドレス番地信号に補間信号がある場合、複数回の再生動作によって同一アドレス番地信号が再生され、再生されたアドレス番地信号が誤り検出手段によって誤り無しと判定されたとき、上記再生されたアドレス番地信号が示す第 3 の記憶手段内の所定の番地を再生されたディジタル情報信号で書き換えるように制御する第 1 の書き換え手段と、前記第 1 の記憶手段内に補間信号がない場合、前記複数回の再生動作において、前記誤り検出手段によって誤りと判定されて第 3 の記憶手段に記憶されたディジタル情報信号と同一の箇所が再生され、再生されたディジタル情報信号が誤り検出手段によって誤り無しと判定された場合、前記第 2 の記憶手段の内容に対応する第 3 の記憶手段内のディジタル情報信号を前記再生されたディジタル情報信号で置き換える制御を行う第 2 の書き換え手段とを備えたことを特徴とする請求項 5 に記載のディジタルデータ再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はディジタルオーディオ信号などの情報信号をディスク状の記録媒体より再生するディスク再生装置に関する。

【0002】

【従来の技術】 近年、何回でも記録ができる光磁気方式の光ディスクが開発された。なかでもミニディスク（以下、「MD」という）システムは、従来のウォークマン（商標名）タイプのカセットレコーダと同等の小型化、軽量化をはかることができ今後の普及が注目されている。MDは、光磁気方式によってディスクにデータ圧縮した音声信号を記録再生するものであり、ディスクにはトラッキング制御のための案内溝が形成されており、さらに、案内溝にはディスク全周に連続したアドレス情報があらかじめ記録されている。そのため記録信号の有無にかかわらず検索が可能となっている。

【0003】 図 3 は、MD システムのブロック回路図である。図において、1 は 2 チャンネルオーディオ入力端子、2 はアナログ/デジタル変換回路（A/D）、3 はデータ圧縮回路、4 はデータ処理回路、5 は誤り訂正符号化用エンコーダ、6 は変調回路、7 は磁気ヘッド駆動回路、8 は磁気記録ヘッド、9 はディスク、10 は光学ピックアップ、11 は再生アンプ、12 は復調回路、13 は誤り訂正を行うデコーダ、14 はマイクロコンピ

ュータ、15はデータ伸長回路、16はデジタル／アナログ変換回路(D/A)、17は2チャンネルオーディオ出力端子、18はアドレスデコーダ、19はモータ、20はサーボ制御回路である。

【0004】図4は、記録再生時の信号処理のタイミング図である。図3および図4にもとづいて動作を説明する。オーディオ入力端子1に供給されたアナログオーディオ信号は、A/D変換回路2においてサンプリングされ、デジタル信号に変換される。このデジタル信号はデータ圧縮回路3にて音声圧縮符号化処理が行われ、元の信号情報量の約1/5に削減される。

【0005】圧縮されたデジタル信号はデータ処理回路4に一旦蓄えられ、図4(b)のように、間欠的に圧縮前と同じ信号レートで読み出される。エンコーダ5では、データを分散させて信号を並べ換えるインターリープ処理、および誤り訂正符号の付加値が行われ、さらに次の変調回路6では、1バイト(=8bit)のデータを14ビットのデータに変換するE FM変調が施される。この信号は、磁気ヘッド駆動回路7を介して磁気記録ヘッド8によってディスク9に光磁気記録される。記録動作は、間欠的に供給される変調信号に対応して行われ、図4(d)に示すように記録状態と記録休止状態とを交互に繰り返し、記録を行う前に記録した部分の最後のアドレスを検索し、それに連続して記録していく。

【0006】再生時には、光学ピックアップ10からディスク9に対して照射された光の反射光によってディスク9に書かれている信号を読み取る。この光の情報は光学ピックアップ10で電気信号に変換され、再生アンプ11に供給される。再生アンプ11で増幅された信号は、復調回路12に与えられ、もとの1バイトのデータに変換される。

【0007】一方、再生アンプ11の出力はアドレスデコーダ18にも供給される。このアドレスデコーダ18は、ディスク9にあらかじめ刻まれている光スポット案内溝に含まれる情報を取り出すことが目的で、ディスク全周の連続したアドレス信号を再生するとともに、案内溝のウォブリングを検出することでトラッキング情報を得ている。

【0008】このトラッキング情報はサーボ制御回路20に供給され、光学ピックアップ10が所定の案内溝を走査するようにトラッキングサーボがかけられるとともに、案内溝のうねりが一定周期になるように、ディスク9の回転を線速度一定に保つサーボをかけてモータ19を制御する。

【0009】ディスク9からの信号の読み取りは、記録時の書き込みと同様に間欠的に行われ、図4(e)に示すように、再生動作と再生休止状態とを交互に繰り返す。復調回路12で復調された信号は、コーダ13で誤り検出および訂正処理がなされ、信号の順序を元に戻すデインタリープ処理が行われた後、データ処理回路4

に書き込まれ、このデータ処理回路4から読み出された信号は、データ伸長回路15に与えられる。通常、データ処理回路4は、信号が所定量以上保持されるように入力が制御される。すなわち図4(h)に示すように、データ処理回路4の再生エリアのデータ量が容量一杯になると、入力が停止されるとともに再生休止状態となり、データ処理回路4の残りデータ量がa表示点を下回ると、ディスク9の既に読み取った信号の続き部分を検索して再生を行い、データ処理回路4にデータを供給する。

【0010】このため、例えば外乱によって光学ピックアップ10がジャンプした場合でも、データ処理回路4には少なくともデータ量aが保持されているので、この信号を読み出し、その間にジャンプする直前の箇所を検索することにより音切れなく連続した再生ができる。データ伸長回路15で圧縮前の情報量に復元されたオーディオ信号は、D/A変換回路16でアナログ信号に変換された後、オーディオ出力端子17から出力される。マイクロコンピュータ14は、アドレスデコーダ18からのディスク案内溝に刻まれているアドレス信号と、オーディオ信号に対応して記録されているアドレス信号とを用いてモータ19の制御を行うとともに、上記一連の動作の制御を行う。

【0011】ところでMDのデータフォーマットについてはJAS Journal vol 33 No 1 (1993) またはラジオ技術第47巻第3号に開示されているようにCD-ROMモード2に類似した構造を有し、クラスタと呼ばれるデータ単位毎に記録され、1クラスタは36のセクタに細分されている。また、1クラスタの内32セクタがオーディオデータに供されている。さらに、各セクタはセクタ・ヘッダと呼ばれる部分にクラスタ・セクタの階層構造を有してディスク上のデータアドレスが付加されている。

【0012】上記アドレスはデータ処理回路4にてデコードされ、データ処理回路4内にデータを記憶し、または読み出しを行う際のアドレスとして用いられる。さらに、上記アドレスは、再生専用MDではサブコードQと呼ばれる付加情報の領域にも記録され、また、録再用MDではADIP(Address In Pre groove)と呼ばれる案内溝にも記録されており、ディスクの回転制御を行うためのデータとして用いられている。

【0013】ところで、上記セクタデータの処理については、上記JAS Journal Vol 33, No 1 (1993)に開示されているように1セクタが2352バイト(内2332バイトがオーディオデータ)で構成され、2セクタで11のサウンドグループと呼ばれる(1サウンドグループは424バイト)データ単位に分割され、各サウンドグループ毎にデータ伸長回路15における伸長処理およびデータ圧縮回路3における圧縮処理がなされるように構成されている。

【0014】

【発明が解決しようとする課題】従来のMDシステムは、以上のように構成されているので、再生時に、衝撃により針飛びが生じた場合でも音切れがないような対策が施されており、可搬形システムや車載用システムに適している。しかし、上記アドレス情報は1セクタ2352バイト毎に付加されており、DAT等のブロック(36バイト)毎に付加されているアドレス情報と比べると、より多数のデータ群に対して与えられている。このため、万一上記アドレス情報が誤った場合、上記1セクタ分のデータの信頼度が低下する。

【0015】このため、約11.6msec(1セクタ分)の音飛び、音切れ等が生じるため、上記アドレス情報が誤っているだけ、または上記セクタ内のデータが1つでも誤っているときでも、再度光学ピックアップ10を移動させて同じセクタを再生することにより、正しいアドレス情報またはデータを得るようにして音飛びを防止している。ところが、上記の方法ではディスクの傷等のディフェクトにより上記セクタに少なくとも一つの訂正不能なエラーがあるだけで、何回も再生動作がくり返され、結局所望の正しいデータが得られないばかりか、その間にデータ処理回路4内のデータがすべて読み出されてしまう。そこで、やむなく上記誤りのあるセクタを飛ばして次のセクタを再生すると、この間1セクタ分の音飛びが発生するという問題があった。

【0016】従来システムでは、上記の場合、再生できなかったセクタの全データに誤りフラグ等を付加し、データ伸長回路15にて前後のセクタデータによる補間処理がなされているが、補間されるデータ数が多いため音質劣化は著しい。

【0017】そこで、アドレス情報がある位置に訂正不能であることを示すフラグが付いていない場合は有効セクタとして用い、上記訂正不能フラグが付いているデータのみ他のデータから補間して用いることによって、補間されるデータ数を削減する方法も提案されている。

【0018】しかし、この場合でも、アドレス情報が誤っているときは上記のようにセクタ内の全データが補間されるという問題があった。

【0019】この発明は上記のような問題点の解消を目的としてなされたもので、上記セクタ内のアドレス情報を補間もしくは保護してデータに誤りがある場合に補間されるデータ数を削減するとともに、上記アドレス情報の信頼度向上を図った装置を得ることを目的としている。

【0020】

【課題を解決するための手段】本発明に係るディジタルデータ再生装置は、ディスク上のトラック案内溝がウォブリング状に形成され、複数個のディジタル情報とともに、該ウォブリング信号中にディスクの絶対アドレスが記録された記録媒体もしくは複数個のディジタル情報に

対して付加された付加情報を持ち、該付加情報中に上記ディジタル情報のアドレス番地に相当するサブアドレス番地信号が記録された記録媒体の同一箇所を複数回再生可能な装置であって、上記ディジタル情報中のアドレス番地信号を含むディジタル情報の誤りを検出する誤り検出手段と、上記絶対アドレスまたは上記サブアドレス番地信号の連続性を評価する評価手段と、該評価手段の評価結果によって上記誤り検出手段によって誤りと判定された上記アドレス番地信号を補間するアドレス補間手段とを備えたものである。

【0021】また、同一箇所を複数回再生した場合、アドレスが補間されたことを示す補間信号および上記誤り検出手段の検出結果を記憶する第1、第2の記憶手段と、上記ディジタル情報を記憶する第3の記憶手段と、該補間信号と誤り検出結果と第1および第2の記憶手段の内容とから第3の記憶手段の内容を書き換えるか否かを判定する制御手段とを備えたものである。

【0022】

【作用】この発明に係るディジタルデータ再生装置は、誤り検出手段によってアドレス番地信号が誤りと判定されたとき、評価手段によって絶対アドレスもしくはサブアドレス番地信号が連続している場合にはアドレス補間手段によってアドレス番地信号が補間される。

【0023】また、複数回同一箇所を再生する場合、アドレス補間手段により出力される補間信号と誤り検出手段の誤り検出結果と第1、第2の記憶手段の内容に応じて制御手段により第3の記憶手段の内容が書き換えられるようにシステム全体が制御される。

【0024】

【実施例】

実施例1. 以下、この発明の実施例1を図にしたがって説明する。図1は、各セクタヘッダ内のアドレス情報を検出し補間もしくは保護する処理を行うデータ処理回路4内を表したブロック回路図である。

【0025】図において21はエンコーダ5およびデコーダ13への入出力端子、22はエンコード/デコードデータインターフェース、23はセクタシンク検出回路、24はデスクランプラ、25は再生用ヘッダレジスタ、26はデコードフラグレジスタ、27はセクタシンク生成回路、28はスクランプラ、29はデータセレクタA、30はマイコンインタフェース、31はライトデータバッファ、32はリードデータバッファ、33はデータセレクタB、34はRAMインタフェース、35はRAM、36はアドレスジェネレータ、37は記録用ヘッダレジスタ、38は圧縮データインターフェース、39はデータ圧縮回路3およびデータ伸長回路15への入出力端子、40はマイクロコンピュータ14からのデータ入力端子、41はマイクロコンピュータ14へのデータ出力端子、42はデータ伸長回路15からのデータ出力要求信号を入力する端子である。

【0026】図1にもとづいて、まず再生時のデータ処理回路4内の動作について説明する。最初にRAM35のリセット動作が終了すると、デコーダ13によって誤り検出および訂正処理がなされたデータが、誤り検出結果とともに出入力端子21より入力され、エンコード/デコードデータインターフェース22に入力される。この入力されたデータのうち、上記誤り検出結果はデコードフラグレジスタ26に入力され、訂正処理されたデータはデスクランプラ24に入力され、データの順序を入れ替える処理がなされる。また、このうち、各セクタのセクタ・ヘッダ内にある同期信号はセクタシンク検出回路23で検出され、検出タイミングにもとづいて生成された信号によって上記セクタ・ヘッダ内のアドレス情報が抽出され、再生用ヘッダレジスタ25に入力される。

【0027】次に、デスクランプラ24より出力されたデータはデータセレクタA29を介して一旦ライトデータバッファ31に蓄えられる。また、上記ライトデータバッファ31に入力されるデータの誤り検出結果は、デコードフラグレジスタ26より出力され、マイコンインターフェース30を介してRAMインターフェース34に入力される。さらに、アドレス情報は、再生用ヘッダレジスタ25より出力され、マイコンインターフェース30を介して、RAMインターフェース34に入力される。

【0028】ここで、RAMインターフェース34はマイコンインターフェース30を介して、出力端子41よりマイクロコンピュータ14へRAM35のデータ容量がある一定値以下になったことを示す検出信号を出力する。すると、入力端子40を介してマイクロコンピュータ14はRAM35に書き込まれる最初のデータアドレスを指定するデータをマイコンインターフェース30へ入力する。この指定データと再生用ヘッダレジスタ25より出力されたアドレス情報とが比較され、一致した場合その結果をRAMインターフェース34に指示するとともに、データセレクタB33をライトデータバッファ31側に切り換える。

【0029】上記の場合、RAMインターフェース34は入力されたアドレス情報をアドレスジェネレータ36に送り、RAM35をアクセスするためのアドレスを発生させるとともに、RAM35を書き込みモードにする信号を出力する。また、ライトデータバッファ31のデータ出力をイネーブル状態にする。したがって、マイクロコンピュータ14によって指示されたアドレスのデータから順にRAM35に書き込まれる。

【0030】次に、RAMインターフェース34では入力されるアドレス情報をチェックし、RAM35の書き込みアドレスが所定の値になり、空きエリアが一杯になつたことを検出すると、ライトデータバッファ31の出力をディセーブルするとともに、RAM35へのデータ書き込みを中止する。また、書き込み終了時のアドレス情報は、マイコンインターフェース30を介して出力端子4

1よりマイクロコンピュータ14へ出力される。以上のようにして初回のデータ書き込み動作が終了する。

【0031】次に、RAM35からのデータ読み出し動作を説明する。入力端子42を介してデータ伸長回路15からのデータ出力要求信号が圧伸データインターフェース38に入力されると、リードデータバッファ32の出力がデータセレクタA29を介して圧伸データインターフェース38に接続し、また、RAM35のデータバスをデータセレクタB33を介してリードデータバッファ32に接続する指示をRAMインターフェース34に与える。

【0032】入力端子40からは、マイクロコンピュータ15よりマイコンインターフェース30へ読み出し開始アドレスが指定され、RAMインターフェース34へアドレス情報が送られる。このとき、RAMインターフェース34はデータの書き込みと読み出しを時分割で処理するように構成されており、データの書き込み動作を行っているときはリードデータバッファ32をディセーブル状態にし、読み出し状態のときは、リードデータバッファ32をイネーブル状態にする。また、RAMインターフェース34は、読み出し状態のときにRAM35のデータバスがリードデータバッファ32に接続され、リードデータバッファ出力が圧伸データインターフェースに接続されるようにデータセレクタB33とデータセレクタA29とを制御する。

【0033】そして上記読み出し状態のとき、RAMインターフェース34は、マイクロコンピュータ14より入力したアドレス情報をアドレスジェネレータ36へ出力し、RAM35をアクセスさせる。よってRAM35より所定のデータがデータセレクタB33、リードデータバッファ32、データセレクタA29を通り、圧伸データインターフェース38を介して入出力端子39からデータ伸長回路15へ読み出される。但し、上記読み出し動作は、入力端子42よりデータ出力要求信号が圧伸データインターフェース38に入力されている間つづけられ、入力されなくなると、圧伸データインターフェース38は読み出し動作の中止をRAMインターフェース34へ指示する。

【0034】RAMインターフェース34は、上記読み出し動作を中止すると、マイコンインターフェース30を介して出力端子41よりマイクロコンピュータ14へ中止したことを知らせる。これによって、マイクロコンピュータ14は入力端子40より再び次の読み出しアドレス情報をマイコンインターフェースにセットする。以下、入力端子42より次のデータ出力要求信号が入力されると再び読み出しが再開される。

【0035】以上のようにして間欠的にデータ読み出しがくり返されるが、RAM35内のデータ容量がある一定値以下になると、RAMインターフェース34は検出信号をマイクロコンピュータ14へ出力するので、前記の

手順によって再び書き込み動作が再開される。

【0036】上記書き込み動作はRAM35内のデータ容量に応じて所定の間隔でくり返されるが、デコードフラグレジスタ26からマイコンインターフェース30を介してRAMインターフェース34に誤り検出信号が入力されたときは、以下のようなアドレス情報の補間動作が行われる。

【0037】図2は実施例1のRAMインターフェース34を示すブロック回路図である。図において、50, 51, 52, 53は入力端子、54は再生アドレスラッチ、55はデコードフラグラッヂ、56はマイコンデータラッヂ、57はサブコードアドレスラッチ、58はアドレスチェック回路A、59はADIPアドレスラッチ、60はアドレスチェック回路B、61はセレクタ、62はアドレス補間回路、63は制御回路、64はRAMリード/ライト回路、65はクロック制御回路、66はバッファセレクタ制御回路、67はアドレスラッチ、68, 69, 70, 71は出力端子、72は出入力端子、73は入力端子、74, 75は出力端子である。

【0038】次に動作について説明する。まず、入力端子53からRAM35を初期化する信号がマイクロコンピュータ14よりマイコンインターフェース30を介して制御回路63に入力される。制御回路63はアドレスラッヂ67を介して出力端子74に初期化すべきRAM35の領域に相当するアドレスを出力するとともに、RAMリード/ライト回路64を介して入出力端子72よりデータを出力し、RAM35を初期化する。次に初期化完了後、制御回路63は出力端子75を通り、マイコンインターフェース30を介して前記のRAM35のデータ容量が所定値以下になったことを示す信号をマイクロコンピュータ14へ出力する。

【0039】上記の動作によってマイクロコンピュータ14より出力されたデータは、入力端子53より制御回路63に入力され、データの書き込み状態となる。このとき、再生専用ディスクの場合はアドレスチェック回路Aが選択され、また、記録・再生用ディスクの場合はアドレスチェック回路Bが選択されるように、選択信号が制御回路63よりセレクタ61へ出力される。

【0040】次に前記よりデスクランプ24にてセクタデータの順序が並べ換えられている間に、入力端子50にはマイコンインターフェース30を介して前記セクタ・ヘッダ内のセクタアドレスが入力され、再生アドレスラッヂ54に蓄えられる。また、入力端子51には、マイコンインターフェース30を介して上記セクタアドレスの誤り検出結果が入力され、デコードフラグラッヂ55に蓄えられる。以後、セクタアドレスがマイコンインターフェース30より入力される毎に上記再生アドレスラッヂ54およびデコードフラグラッヂ55の内容が更新される。

【0041】上記動作中、マイコンインターフェース30

にて前記のように、上記セクタアドレスとマイクロコンピュータ14から入力された書き込み開始セクタのアドレスが一致した場合、この結果は入力端子53より制御回路63に入力され、データの書き込みが開始される。

【0042】まず、アドレス補間回路ではデコードフラグラッヂ55の誤り検出結果が入力されて誤りの有無がチェックされ、誤り無しのとき、再生アドレスラッヂ54の内容は制御回路63へ出力される。また、誤り有りのときは、セレクタ61より入力されたアドレスのチェック結果が入力され、正しいときには再生アドレスラッヂ54が更新される前の誤りの無いセクタアドレス(1つ前のセクタアドレス)に+1または所定値が加えられて補間アドレスが作成され、制御回路63へ出力される。

【0043】上記動作において、入力端子52よりマイコンインターフェース30からマイクロコンピュータ14が読み取ったアドレス情報がマイコンデータラッヂ56に入力される。そして再生専用ディスクのときは、サブコードアドレスラッヂ59にサブコードQに含まれるセクタアドレスが蓄えられ、また記録再生ディスクのときは、ADIPアドレスラッヂ57にADIPに含まれるセクタアドレスがそれぞれ蓄えられる。このとき、サブコードアドレスラッヂ59またはADIPアドレスラッヂ57のアドレスが連続していることがそれぞれアドレスチェック回路A58およびアドレスチェック回路B60でチェックされ、セレクタ61に出力される。セレクタ61では、上記によりアドレスチェック回路A58もしくはB60の内容が出力される。

【0044】上記動作によって、制御回路63に入力されたセクタアドレスによってアドレス情報が生成され、アドレスラッヂ67へ一旦蓄えられた後、出力端子74へ出力され、アドレスジェネレータ36に入力される。また、セクタデータの誤り検出結果は、デコードフラグレジスタ26よりマイコンインターフェース30を介して入力端子53より制御回路63へ入力される。制御回路63では、上記誤り検出結果をRAMリード/ライト回路64へ出力し、クロック制御回路65より出力された制御クロックに応じてRAM35のライトタイミングのとき、入出力端子72よりRAM35へ出力する。また、このとき、RAM35に書き込み動作をさせるための制御信号は出力端子71より出力される。また、誤り検出結果を書き込むためのアドレス情報は、制御回路63よりアドレスラッヂ67を介して出力端子74より出力される。

【0045】また、前記で述べたように、セクタ内のデータを書き込む際は、クロック制御回路65より出力された制御クロックに応じてRAMリード/ライト回路64は書き込み信号をバッファセレクタ制御回路66へ出力する。そしてバッファ・セレクタ制御回路66からは、データセレクタA29をデスクランプ24の出力

がライトデータバッファ31に接続されるようにする選択信号を出力端子68よりデータセレクタA29へ出力し、データセレクタB33をライトバッファ31がRAM35に接続されるようにする選択信号を出力端子69よりデータセレクタB33へ出力する。また、ライトバッファ31をイネーブルにする信号は、制御回路63よりバッファ・セレクタ制御回路66を介して出力端子70より出力される。

【0046】上記セクタデータの書き込み動作は、制御回路63が入力端子53より入力したマイクロコンピュータ14からのアドレスの最終番地と、アドレス補間回路62より入力したセクタアドレスが一致もしくは所定値になるまで続けられる。そして、一致もしくは所定値になったとき、制御回路63よりRAMリード／ライト回路64およびバッファセレクタ制御回路66に対して、書き込み動作を中止させる信号が送られる。

【0047】なお、上記動作の他、RAM35よりデータを読み出す際には以下の動作が行われる。まず、書き込み動作中ある一定期間たつと、マイクロコンピュータ14より読み出し開始アドレスが制御回路63へ入力される。このとき、圧伸データインターフェース38より読み出し信号が入力端子73からRAMリード／ライト回路64へ入力される。前記より誤り検出結果の読み出しタイミングのとき、RAM35より誤り検出結果がデータセレクタB33を介してリードデータバッファ32へ入力され、次にデータ読み出しタイミングのとき、RAM35よりデータがリードデータバッファ32へ入力される。したがって、RAMリード／ライト回路64は、上記誤り検出結果読み出しタイミングのとき、RAM35を読み出しにする制御信号を送り、制御回路63へアドレスを生成するための信号を送る。制御回路63では、上記誤り検出結果のはいったエリア内のうち、上記読み出し開始アドレスに相当する所の誤り検出結果のはいったアドレス情報を生成してアドレスラッチ67より出力端子74へ出力する。

【0048】また、上記データ読み出しタイミングのとき、制御回路63はRAMリード／ライト回路64より入力された信号によって読み出し開始アドレスをアドレスラッチ67を介して出力端子74へ出力する。

【0049】さらに、RAMリード／ライト回路64は、上記誤り検出結果およびデータ読み出しタイミングのとき、バッファセレクタ制御回路66へ読み出し信号が送られる。これによって出力端子68からの選択信号は、リードデータバッファ32をデータセレクタA29を介して圧伸データインターフェース38へ接続する信号となる。また、出力端子69からの選択信号は、RAM35のデータバスをデータセレクタB33を介してリードデータバッファ32へ接続する信号となる。さらに、出力端子70からはリードデータバッファ32をイネーブルする信号が出力される。

【0050】以上の読み出し動作中に入力端子73から読み出し信号が入力されなくなると、RAMリード／ライト回路64では、制御回路63およびバッファ・セレクタ制御回路66への読み出し信号の出力を中止するので、読み出し動作が停止する。またこのとき、制御回路63より出力端子75へは、読み出し動作を終了したことを示す信号が出力される。

【0051】上記読み出しによってRAM35内のデータ容量がある一定値以下になったことを制御回路63が、書き込み開始および終了アドレスと読み出し開始および終了アドレスから検出した場合、出力端子75よりマイクロコンピュータへ検出信号を出力する。このため、再び入力端子53より書き込み開始セクタアドレスが入力されるので、書き込み動作が再開される。

【0052】以上のようにして、RAMインタフェース34内では書き込みと読み出しの制御が行われ、アドレス補間回路62によって上記セクタ・アドレスが誤っている場合でも補間されて、書き込みが行われる。

【0053】実施例2、上記実施例1では、セクタアドレスが誤っているときに補間する方法を述べたが、RAM35の容量がある一定値以下になるまで前記より複数回同一セクタを再生することができる。以下に同一セクタを複数回再生する場合のセクタアドレスの信頼度向上の方法を説明する。

【0054】本実施例2では、アドレス補間回路62には上記実施例1を用いるか、またはデコードフラグラット55の誤り検出の結果、セクタアドレスが誤っているとき、前後の正しいセクタアドレスより補間するよう構成されている。但し、アドレスが補間されたとき、アドレス補間回路62より補間信号が、当該セクタアドレスとともに制御回路63へ入力される。

【0055】以下、図1および図2を用いて動作を説明する。上記実施例1と同様に、RAM35初期化後のデータ書き込み時は制御回路63に入力されたセクタアドレスからアドレス情報が生成され、アドレスラッチ67を介して出力端子74へ出力される。このとき、セクタアドレスと同時に補間信号がRAMリード／ライト回路64へ送られ、クロック制御回路65からのクロックに応じて補間信号の書き込みタイミングが生成され、これに応じて入出力端子72より補間信号が送出されてRAM35へ書き込まれる。また、上記書き込みタイミング信号は制御回路63にも入力されて補間信号用のアドレス情報が生成され、アドレスラッチ67を介して出力端子74より出力される。上記のようにしてアドレスが補間された場合は、補間信号が書き込まれる。

【0056】また、上記において補間信号は出力端子75よりマイクロコンピュータ14にも出力され、制御回路63はセクタアドレスが補間されてRAM35にデータが書き込まれていることを知らせる。

【0057】RAM35の容量が一杯になったとき、ま

たは、少なくとも1つの補間信号が出力されたセクタが発生したとき、マイクロコンピュータ14は入力端子53を通って制御回路63へ書き込みを中止する信号を入力する。このため制御回路63はRAMリード／ライト制御回路64およびバッファ・セレクタ制御回路66へ書き込みを中止する信号を出力し、出力端子75へは中止時のアドレス情報を出力する。

【0058】次に、マイクロコンピュータ14はサーボ制御回路20に対して光学ピックアップ10を移動させる指示を出し、この結果再度ディスク上の同じ領域が再生される。次に、マイクロコンピュータ14は入力端子53へ書き込み開始セクタアドレスを送る。このときのセクタアドレス値は、少なくとも初めて補間信号が出力されたセクタよりも前の値が出力され、デコーダ13からの誤り検出結果にある一定値以上の誤りがあるとマイクロコンピュータ14が判断したときは、前回と同じ値を出力する。

【0059】したがって、上記により再び、少なくとも初めて補間信号が出力されたセクタアドレスを持つデータより書き込みがくり返れる。ここでクロック制御回路65のクロックよりRAMリード／ライト回路64にて補間信号の書き込みタイミング、データの書き込みタイミングおよび誤り検出結果の書き込みタイミングよりも前の時点でデータの誤り検出結果と補間信号の読み出しタイミングが生成され、これに応じてデータの誤り検出結果と補間信号がRAM35より読みだされ、入出力端子72よりRAMリード／ライト回路64を介して制御回路63へ入力される。また、それぞれのアドレスは、上記タイミング信号を制御回路63が入力し、補間信号用のアドレスデータと誤り検出結果用のアドレスが生成され、アドレスラッチ67を介して出力端子74へ出力される。

【0060】上記によって制御回路63は、読み出した補間信号および誤り検出結果と2度目に書き込む際に入力端子53より入力される誤り検出結果およびアドレス補間回路62より入力される補間信号を用いて、RAMリード／ライト回路64およびバッファ・セレクタ制御回路66に対して書き込みを制御する信号を出力する。

【0061】上記における制御回路63の判断内容は以下の通りである。

(1) 再書き込みを行うセクタアドレスの補間信号がRAM35より読み出されたとき、制御回路にアドレス補間回路62より補間信号が入力されたときは当該セクタの書き込みを中止し、出力端子75を通ってマイクロコンピュータ14へ中止したことを知らせるとともに、入力端子53より指示のない限り次のセクタの書き込みを実行する。また、補間信号が入力されなかつたとき、補間信号を消去する信号をRAMリード／ライト回路64を介してRAM35へ書き込みとともに、当該セクタアドレスよりデータの書き込みを実行する信号を出力す

る。この場合、上記セクタアドレスに指定されるRAM35内のデータ領域は、2度目の再生データで書き換える。

【0062】(2) 再書き込みを行うセクタアドレスの補間信号がRAM35より読み出されず、セクタデータに対する誤り検出結果を読み出した際誤りのあるデータに対して、制御回路63は、上記データがRAM35にライトデータバッファ31より書き込まれる時点において書き込みを実行する信号を出力する。このとき、当該セクタ内の誤りありとされているデータは書き換えられ、入力端子53より入力された誤り検出結果もRAMリード／ライト制御回路64を介してRAM35へ出力される。

【0063】(3) (2)において誤り無しのデータに対して、再書き込みは実行されず、誤り検出結果も出力されない。

【0064】制御回路63が上記のように動作することにより、再書き込み時には、補間信号のないセクタアドレスにもとづいてアドレス情報が生成され、誤っているデータのみ書き換えられるのでデータの信頼度が向上する。

【0065】実施例3、上記実施例2における制御回路63の動作は、制御回路63より読み出した補間信号と誤り検出結果およびアドレス補間回路62からの補間信号を出力端子75より出力させ、これとデコードフラグレジスタ26からの誤り検出結果をマイコンインタフェース30を介してマイクロコンピュータ14へそれぞれ送り、該マイクロコンピュータ14が制御回路63に対して再書き込みを行うか否かの信号を出力するように構成してもよい。この場合、入力端子53より再書き込み信号が送られると、制御回路63はRAMリード／ライト回路64とバッファ・セレクタ制御回路66に対して書き込みを実行する信号を出力する。

【0066】

【発明の効果】以上説明したように、本発明によれば、トラック案内溝がディスク状の記録媒体にウォブリング状に形成された光学式ディジタル情報再生装置であつて、上記ウォブリング信号より記録媒体上の絶対アドレス信号を抽出する絶対アドレス抽出手段と、再生された複数個のディジタル情報に対して付加されたアドレス番地信号を抽出するアドレス番地信号抽出手段と、上記アドレス番地信号を含む複数個のディジタル情報に対して付加された誤り検出符号にもとづいて誤り検出を行う誤り検出手段と、上記絶対アドレス抽出手段によって抽出された絶対アドレス信号が連続していることをチェックする評価手段と、上記誤り検出手段の検出の結果、上記アドレス番地信号が誤りであると判定された場合、上記評価手段のチェックの結果、上記絶対アドレス信号が連続しているときには上記誤ったアドレス番地信号のかわりに上記誤り検出手段によって誤りが検出されなかつた

直前または直後のアドレス番地信号に所定値を加えて補間アドレス番地信号を生成するアドレス補間手段とを備えたものであるから、アドレス番地信号が誤っていても、該誤ったアドレス番地信号が付加されたデジタル情報全体を上記アドレス補間手段によってアドレス番地信号を補間することにより用いることができるので、デジタル情報の欠落を防止できる。

【0067】また、上記複数個のデジタル情報に対して付加された付加情報中に上記アドレス番地信号に相当するサブアドレス番地信号が記録されている記録媒体を再生するときに、該サブアドレス番地信号を抽出するサブアドレス番地信号抽出手段と、上記サブアドレス信号が連続していることをチェックする評価手段を設け、前記アドレス補間手段を上記アドレス番地信号が誤っているときに、該評価手段のチェックの結果、サブアドレスが連続している場合に前記誤り検出手段によって誤りが検出されなかった直前または直後のアドレス番地信号に所定値を加えて補間アドレス番地信号を生成するように構成したので、前記ウォーリング信号が存在しない記録媒体でもデジタル情報の欠落を防止できる。

【0068】さらに、前記において、付加情報中にサブアドレス番地信号が記録された記録媒体であるか、またはウォーリング信号中に絶対アドレス信号が記録された記録媒体かを判別する判別手段と、該判別手段の判別結果に応じて、前記評価手段の評価内容である絶対アドレス信号とサブアドレス番地信号を切り換えるセレクタを前記評価手段内に設けたので、前記絶対アドレス信号または前記サブアドレス番地信号の連続性を用いて、前記アドレス番地信号の補間ができる。

【0069】上記複数個のデジタル情報を複数回再生する装置において、上記アドレス番地信号が補間されたことを示す補間信号を記憶する第1の記憶手段と、上記誤り検出手段の誤り検出の結果誤りありと判定されたデータに対する誤りフラグを記憶する第2の記憶手段と、上記デジタル情報を記憶する第3の記憶手段と、上記補間信号、上記誤り検出結果、第1の記憶手段の内容および第2の記憶手段の内容から、上記記憶手段内のデジタル情報と同一箇所が再生されたとき、上記第1の記憶手段内に補間信号が記憶されており、かつ再生された上記アドレス番地信号が補間されていないとき上記第3

の記憶手段内の内容の内上記アドレス番地信号が示すデータを再生されたディジタル情報によって再記憶するように制御し、上記第1の記憶手段内に補間信号が記憶されていない場合、上記第2の記憶手段内に上記誤りフラグが有り、該誤りフラグに対応する第3の記憶手段内のデータが誤っているとき、再生された該誤ったデータと同一箇所のデータの誤り検出の結果が誤り無しであるとき、該再生されたデータによって第3の記憶手段内のデータを書き換えるように制御する制御手段とを備えたので、同一箇所のデジタル情報を複数回再生することによって第3の記憶手段内の誤りデータを削減し、デジタル情報の信頼度の高い装置が得られる効果がある。

【図面の簡単な説明】

【図1】本発明の実施例1および実施例2におけるデータ処理検出のブロック回路図である。

【図2】本発明の実施例1、実施例2および実施例3におけるRAMインターフェースのブロック回路図である。

【図3】本発明および従来例におけるデジタルデータ再生装置のブロック回路図である。

【図4】記録・再生動作を説明するタイミング図である。

【符号の説明】

4 データ処理化

1 3 デコーダ

1 4 マイクロコンピュータ

3 4 RAMインターフェース

3 5 RAM

5 4 再生アドレスラッチ

5 5 デコードフラグラッチ

5 6 マイコンデータラッチ

5 7 サブコードアドレスラッチ

5 8 アドレスチェック回路A

5 9 ADIPアドレスラッチ

6 0 アドレスチェック回路B

6 1 セレクタ

6 2 アドレス補間回路

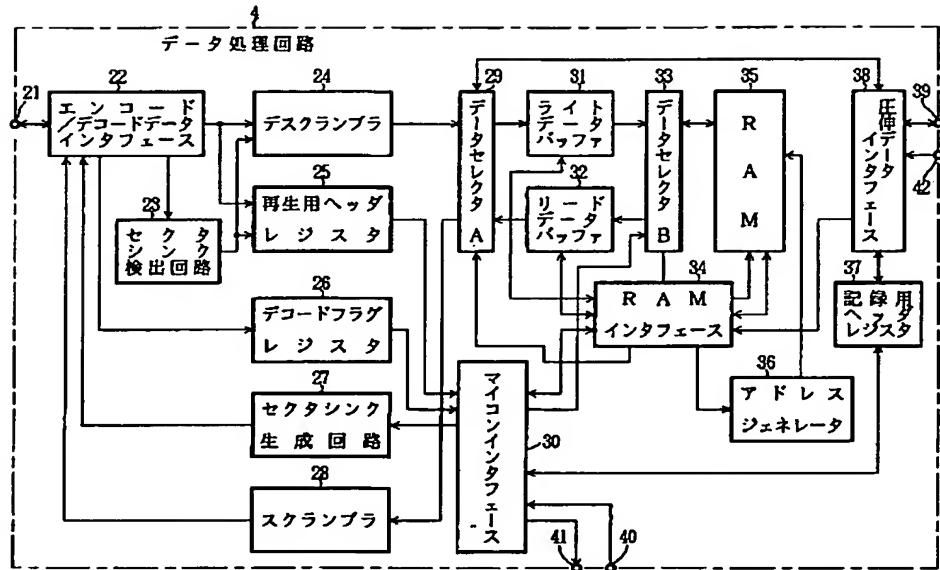
6 3 制御回路

6 4 RAMリード／ライト回路

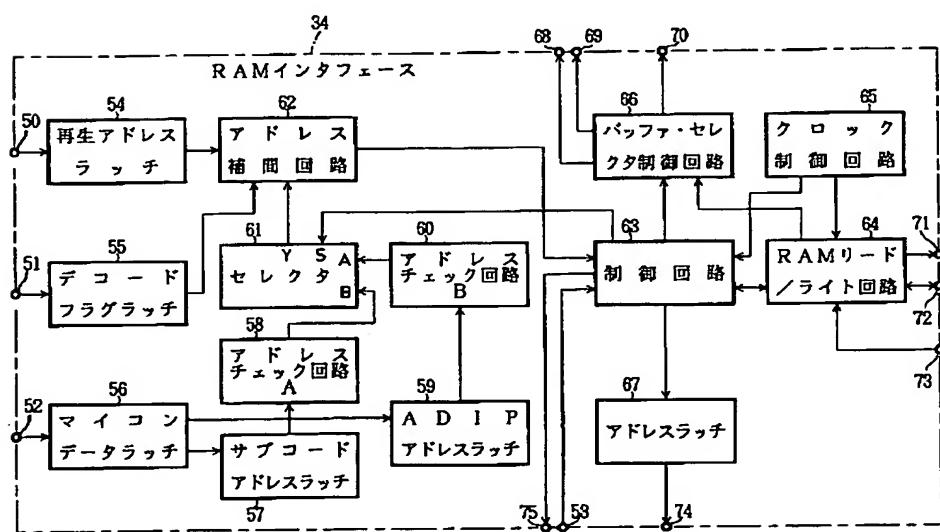
6 5 クロック制御回路

6 6 バッファ・セレクタ制御回路

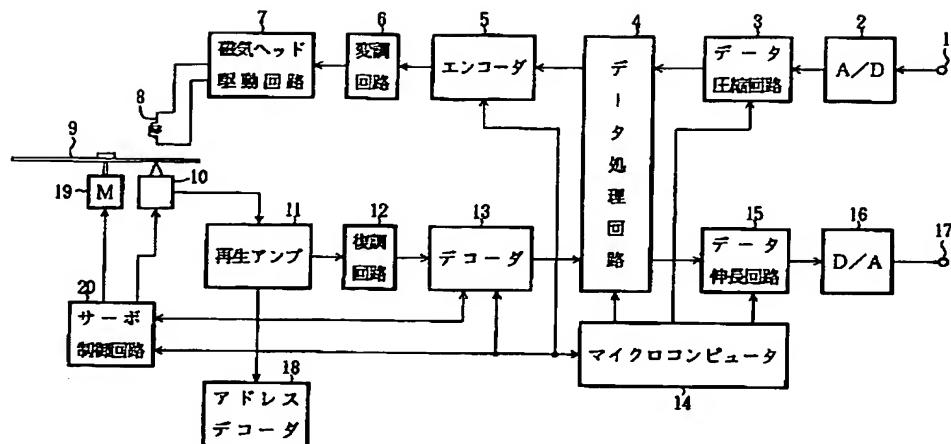
[图 1]



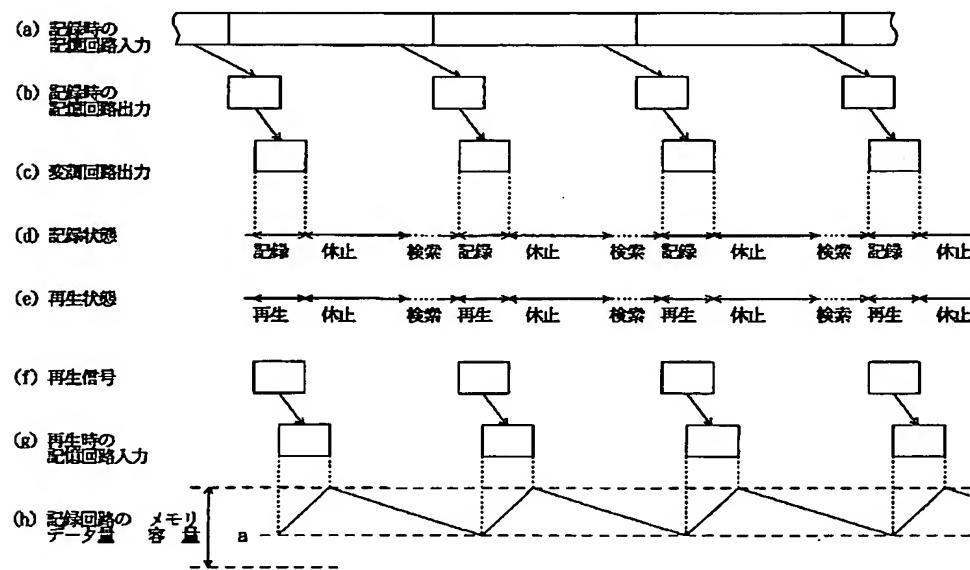
【图2】



【図3】



【図4】



フロントページの続き

(51) Int.Cl. 5

G 1 1 B 27/28

識別記号

府内整理番号
A 8224-5D

F I

技術表示箇所